

9477
1/2 へ-ジ

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243724
(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 21/28

H01L 21/3205

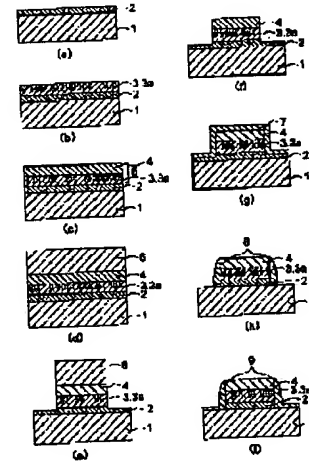
H01L 29/78

(21)Application number : 11-041591
(22)Date of filing : 19.02.1999

(71)Applicant : NEC YAMAGATA LTD
(72)Inventor : TAKAYAMA MASAOKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To protect the sidewall parts, wherein abnormal oxidation is apt to generated of a metal silicide layer due to the formation of sidewalls on the sidewall parts of the silicide layer, to use the sidewalls as a silicon supply source to the silicide layer at thermal oxidation treatment of the sidewalls, and to prevent a lower polycrystalline silicon or amorphous silicon layer from depleting.
SOLUTION: This manufacturing method for manufacturing a semiconductor device into a structure, wherein a polyside layer 5 is formed on a semiconductor substrate 1 and thereafter, a metal silicide film 4 constituting the film 5 is etched into a prescribed pattern, and after that, a silicon cap layer 7 is formed on the layer 4. Moreover, sidewalls 8 are respectively formed on the side surfaces of the layer 4 through anisotropic etching and after that, oxidation treatment is performed on the sidewalls.



LEGAL STATUS
[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

19.02.1999
03.10.2000

01/04/16

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa19884DA412243724P1.htm>

2/2 へ-ジ

Searching PAJ

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

01/04/16

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa19884DA412243724P1.htm>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243724

(P2000-243724A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.⁷

H01L 21/28

21/3205

29/78

識別記号

301

F I

H01L 21/28

21/88

29/78

テ-マ-ト (参考)

301D 4M104

301T 5F033

Q 5F040

301G

審査請求 有 請求項の数4 OL (全5頁)

(21) 出願番号

特願平11-41591

(22) 出願日

平成11年2月19日 (1999.2.19)

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 高山 真明

山形県山形市北町四丁目12番12号 山形日

本電気株式会社内

(74) 代理人 100075306

弁理士 菅野 中

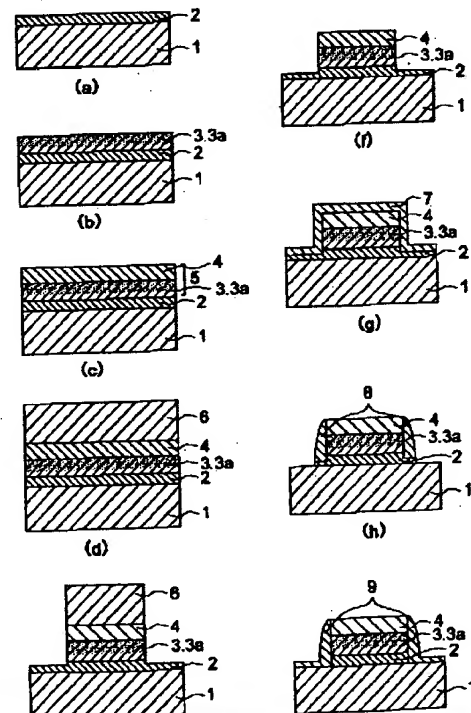
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 サイドウォールの形成によって異常酸化の発生しやすい金属シリサイドの側壁部を保護し、またサイドウォールを熱酸化処理時の金属シリサイド層へのシリコン供給源とし、下層の多結晶シリコン或いは非晶質シリコンの空乏化を防止する。

【解決手段】 半導体基板1上にポリサイド層5を形成した後、ポリサイド層5を構成する金属シリサイド層4を所定のパターンにエッチングし、その後、金属シリサイド層4上にシリコンキャップ層7を形成し、さらに、異方性エッチングにて金属シリサイド層4の側面にサイドウォール8を形成し、その後、酸化処理を行う。



【特許請求の範囲】

【請求項1】 異常酸化の発生しやすい金属シリサイドの側壁部を保護するサイドウォールを形成し、その後、酸化処理を行うことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上にポリサイド層を形成した後、ポリサイド層を構成する金属シリサイド層を所定のパターンにエッチングし、その後、前記金属シリサイド層上にシリコンキャップ層を形成し、さらに、異方性エッチングにて前記金属シリサイド層の側面にサイドウォールを形成しその後、酸化処理を行うことを特徴とする半導体装置の製造方法。

【請求項3】 熱酸化処理により、前記サイドウォールを酸化膜サイドウォールに変化させることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 前記サイドウォールを熱酸化処理時の金属シリサイド層へのシリコン供給源とすることを特徴とする請求項2又は3に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 半導体装置を製造する場合、通常酸化膜などの絶縁膜に対して複数回の洗浄、除去処理及び熱酸化処理を施すが、その際、図2に示すように、半導体基板上1に形成されたポリサイド層5は、金属シリサイド4と多結晶シリコン3あるいは非晶質シリコン層3aとからなり、ポリサイド層5は、膜剥れが生じたり、金属シリサイド4が異常に酸化されたりする可能性がある。

【0003】 特に金属シリサイド4と多結晶シリコン3あるいは非晶質シリコン層3aとの界面は、熱酸化処理の際に、異常酸化を起こしやすい。

【0004】 従来例では、上述した現象を回避するため、ポリサイド層5の上層側を構成するシリサイド層4の表面に、予め酸化膜10、窒化膜10aあるいはPSG膜10b等の絶縁キャップ層を形成して、熱酸化処理の際に発生しやすい異常酸化を抑制している。

【0005】

【発明が解決しようとする課題】 しかしながら、上述した絶縁キャップ層が酸化膜10あるいはPSG膜10bからなる場合、これら絶縁膜の形成は、酸素雰囲気中で行われるため、膜形成の際に絶縁膜で覆われていない金属シリサイド4の側面が異常酸化してしまうという可能性がある。

【0006】 また、窒化膜10aの場合、金属シリサイド4の異常酸化には効果的であるが、その後の熱酸化処理の際に、金属シリサイド4の周囲にシリコン供給源が

コン3あるいは非晶質シリコン3aからシリコンを得ようとするため、下層の多結晶シリコン3あるいは非晶質シリコン3aが空乏化する可能性がある。

【0007】 そこで、上述した問題を解決する方法として、図3に示すように半導体基板1上にポリサイド層5を形成した(図3(c))後、ポリサイド層5を構成する金属シリサイド層4の表面にシリコンキャップ層7を形成し(図3(d))、その後、ポリサイド層5とシリコンキャップ層と7を所定のパターンにエッチングし(図3(e))、その後、熱酸化処理を行ってポリサイド層5及びシリコンキャップ層7を酸化膜10で被覆する(図3(h))という方法である。

【0008】 図3に示す技術は、金属シリサイド層4の表面にシリコンキャップ層7を形成しているため、熱酸化処理の際には、シリコンキャップ層7が金属シリサイド4へのシリコン供給源となるため、下層の多結晶シリコン3あるいは非晶質シリコン3aの空乏化防止において一応の効果を奏している。

【0009】 しかしながら、図3に示す技術は、シリコンキャップ層7を形成した後、シリコンキャップ層7とポリサイド層5を所定のパターンにエッチングしているため、異常酸化の発生しやすい金属シリサイド4の側面部分が剥き出し状態となり(図3(d)～(g))、金属シリサイド4の側面部に異常酸化を引き起こしてしまうという問題がある。

【0010】 本発明の目的は、サイドウォールの形成によって異常酸化の発生しやすい金属シリサイドの側壁部を保護し、またサイドウォールを熱酸化処理時の金属シリサイド層へのシリコン供給源とし、下層の多結晶シリコンあるいは非晶質シリコンの空乏化を防止する半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る半導体装置の製造方法は、異常酸化の発生しやすい金属シリサイドの側壁部を保護するサイドウォールを形成し、その後、酸化処理を行うものである。

【0012】 また本発明に係る半導体装置の製造方法は、半導体基板上にポリサイド層を形成した後、ポリサイド層を構成する金属シリサイド層を所定のパターンにエッチングし、その後、前記金属シリサイド層上にシリコンキャップ層を形成し、さらに、異方性エッチングにて前記金属シリサイド層の側面にサイドウォールを形成し、その後、酸化処理を行うものである。

【0013】 また熱酸化処理により、前記サイドウォールを酸化膜サイドウォールに変化させるものである。

【0014】 また前記サイドウォールを熱酸化処理時の金属シリサイド層へのシリコン供給源とするものである。

【0015】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0016】（実施形態1）図1は、本発明に係わる半導体装置の製造方法を、半導体装置（MOSトランジスタ）のゲート電極部を製造する場合に適用した製造工程を工程順に示す断面図である。

【0017】まず図1（a）に示すように、シリコン基板1の表面上にゲート酸化膜2を形成し、次に図1

（b）、（c）に示すように、不純物を拡散した多結晶シリコン層3、タングステンシリサイド層4をゲート酸化膜2上に順次積層してタングステンポリサイド層5を形成させる。

【0018】なお、実施形態では、 SiH_4 ガスを用いたバッチ式減圧CVD法により多結晶シリコン層3を形成し、不純物の拡散は POCl_3 を用いたバッチ式拡散炉を用いて行っている。また、 SiH_2Cl_2 、 WF_6 ガスを用いた枚葉式減圧熱CVD法によりタングステンシリサイド層4を形成している。

【0019】次に図1（d）に示すように、金属（タングステン）シリサイド層4の上面にレジストなどの感光材料6を形成し、感光材料6上にフォトリソパターンを形成する。

【0020】次に図1（e）に示すように、図示しない前記フォトリソパターンをマスクとしてエッチングを行い、ポリサイド層5と感光材料6とを所定のパターンに形成し、電極部を形成する。

【0021】次に図1（f）に示すように、不要となった感光材料6を除去し、LDD構造形成のためのイオン注入を行う。

【0022】次に図1（g）に示すように、パターン形成されたシリサイド層4の上面、及び金属シリサイド層4とポリサイド層5の側面に渡ってシリコンキャップ層7を形成する。

【0023】次に図1（h）に示すように、シリコンキャップ層7を異方性エッチングしてポリサイド層5の側面にシリコンサイドウォール8を形成する。

【0024】この場合、金属シリサイド層4の上面にシリコンキャップ層7が残留していても差し支えない。尚、シリコンキャップ層7の形成は、特に限定されるものではなく、シリコンキャップ層7として、非晶質シリコン層或いは多結晶シリコン層を用いてもよい。実施形態では、 SiH_4 ガスを用いたバッチ式減圧CVD法により、シリコンキャップ層7として多結晶シリコン層を形成している。

【0025】次に図1（i）に示すように、酸素雰囲気中で熱酸化処理を施し、金属シリサイド層4とポリサイド層5からなる電極部、及び半導体基板1の拡散層上にそれぞれ酸化膜9a、9bを形成する。

【0026】図1（i）に示す工程において、シリコン

成分がサイドウォール酸化膜9bに変化し、一部は金属シリサイド層4に吸収されて消費される。

【0027】以上のように本発明の実施形態1によれば、異常酸化（金属酸化）が発生し易い金属（タングステン）シリサイド層4の側面は、熱酸化処理の際にシリコンサイドウォール8で保護されているため、異常酸化されることはない。

【0028】また熱酸化処理によって、多結晶シリコン層3中のシリコン成分が金属（タングステン）シリサイド層4に吸収消費されることによる多結晶シリコン層3の空乏化現象は、シリコンサイドウォール8中のシリコン成分がタングステンシリサイド層4に補給されて、防止することができる。

【0029】なお、実施形態1では、金属シリサイド層4として、タングステンシリサイド層を用いたが、金属シリサイド層4としては、モリブデンシリサイド層、コバルトシリサイド層等を用いてもよいものである。

【0030】（実施形態2）次に本発明の実施例2に係る半導体装置の製造方法を説明する。なお、実施形態2においては、実施形態1と同様に金属シリサイド層4としてはタングステンシリサイド層を用いている。

【0031】実施形態2の各製造工程は、図1に示した実施形態1に係る半導体装置の各製造工程と基本的には同じである。

【0032】実施形態2では図1（a）に示すように、シリコン基板1の表面上にゲート酸化膜2を形成し、次に図1（b）、（c）に示すように、不純物をドーブした非晶質シリコン層3a、タングステンシリサイド層4をゲート酸化膜2上に順次積層してタングステンポリサイド層5を形成する。

【0033】実施形態2では、 SiH_4 及び PH_3 ガスを用いた枚葉式減圧熱CVD法により非晶質シリコン層3aを形成し、また、タングステン（金属）シリサイド層4は SiH_4 、 WF_6 ガスを用いた枚葉式減圧熱CVD法により形成している。

【0034】次に図1（d）に示すように、タングステン（金属）シリサイド層4の上面にレジストなどの感光材料6を形成し、感光材料6上にフォトリソパターンを形成する。

【0035】次に図1（e）に示すように、フォトリソパターンをマスクとしてエッチングを行い、ポリサイド層5と感光材料6とを所定のパターンに形成し、電極部を形成する。

【0036】次に図1（f）に示すように、不要となった感光材料6を除去し、LDD構造形成のためのイオン注入を行う。

【0037】次に図1（g）に示すように、パターン形成されたシリサイド層4の上面、及び金属シリサイド層4とポリサイド層5の側面に渡ってシリコンキャップ層

【0038】次に図1(h)に示すように、シリコンキャップ層7を異方性エッチングしてポリサイド層5の側面にシリコンサイドウォール8を形成する。

【0039】この場合、金属シリサイド4の上面にシリコンキャップ層7が残留していても差し支えない。なお、シリコンキャップ層7の形成は、特に限定されるものではなく、シリコンキャップ層7としては、非晶質シリコン層或いは多結晶シリコン層等を用いてよい。実施形態2では、 SiH_4 及び PH_3 ガスを用いた枚葉式減圧熱CVD法により、シリコンキャップ層7として非晶質シリコン層を形成している。

【0040】次に図1(i)に示すように、酸素雰囲気中で熱酸化処理を施し、金属シリサイド層4とポリサイド層5からなる電極部、及び半導体基板1の拡散層上にそれぞれ酸化膜9a、9bを形成する。

【0041】図1(i)に示す工程において、シリコンサイドウォール8は、熱酸化処理により多くのシリコン成分がサイドウォール酸化膜9bに変化し、一部は金属シリサイド層4に吸収されて消費される。

【0042】以上のように本発明の実施形態2によれば、実施形態1と同様に、異常酸化(金属酸化)が発生し易い金属(タングステン)シリサイド層4の側面は、熱酸化処理の際にシリコンサイドウォール8で保護されているため、異常酸化されることはない。

【0043】また熱酸化処理によって、多結晶シリコン層3中のシリコン成分が金属(タングステン)シリサイド層4に吸収消費されることによる多結晶シリコン層3の空乏化現象は、シリコンサイドウォール8中のシリコン成分がタングステンシリサイド層4に補給されて、防止することができる。

【0044】(実施形態3) 上述した実施形態1及び2では、不純物がドーブされた多結晶シリコン層3の形成として、 SiH_4 ガスを用いたバッチ式減圧CVD法による多結晶シリコン層3の形成後に POCl_3 を用いたバッチ式拡散炉での不純物の拡散を行う方法を実施形態1に示し、また SiH_4 及び PH_3 ガスを用いて不純物を同時にドーブした枚葉式減圧熱CVD法による非晶質シリコン層3aの形成方法を実施形態2に示している。

【0045】また、タングステンシリサイド層4の形成として、 SiH_2Cl_2 、 WF_6 ガスを用いた枚葉式減圧熱CVD法による形成方法を実施形態1に示し、 SiH_4 、 WF_6 ガスを用いた枚葉式減圧熱CVD法による形成方法を実施形態2に示している。

【0046】さらに、シリコンキャップ層7の形成として、 SiH_4 ガスを用いたバッチ式減圧CVD法による多結晶シリコン層の形成方法を実施形態1に示し、 SiH_4 ガスを用いた枚葉式減圧熱CVD法による多結晶シリコン層形成方法を実施形態2に示している。

【0047】本発明の実施形態3としては、多結晶シリコン層3の形成、タングステンシリサイド層4の形成及

びシリコンキャップ層7の形成を、実施形態1と実施形態2の方法を組み合わせることにより、行うことが可能である。

【0048】多結晶シリコン層3の形成、タングステンシリサイド層4の形成、シリコンキャップ層7の形成は、上述した方法を適宜組み合わせる実施してもよく、どの組み合わせにおいても、実施形態1及び2と同様の効果が得られる。

【0049】さらに、多結晶シリコン層3の形成、タングステンシリサイド層4の形成、シリコンキャップ層7の形成は、多結晶シリコン層3或いは非晶質シリコン3aの成膜用チャンバーとタングステンシリサイド層4の成膜用チャンバーがインテグレートされている枚葉式装置であれば、これらの層形成は、同一装置で形成することが可能である。

【0050】この場合、実施形態1における半導体基板の裏面に成膜される多結晶シリコン層3の除去工程及び POCl_3 を用いた不純物拡散後のリンガラス層除去工程を省くことができるため、半導体装置製造のスループットを向上させることができる。

【0051】また、各実施形態では、金属シリサイド層4として、タングステンシリサイド層を用いたが、金属シリサイド層4としては、モリブデンシリサイド層、コバルトシリサイド層等を用いてもよいものである。またゲート電極部の電極構造に適用したが、電極構造は、ゲート電極部に限定されるものではない。

【0052】

【発明の効果】以上説明したように本発明によれば、異常酸化(金属酸化)が発生し易い金属シリサイド層の側面を、熱酸化処理の際にサイドウォールで保護するため、異常酸化されることを防止することができる。

【0053】さらに熱酸化処理によって、ポリサイド層中のシリコン成分が金属シリサイド層に吸収消費されることによる空乏化現象は、サイドウォール中のシリコン成分が金属シリサイド4に補給されて、防止することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係わる半導体装置の製造方法を示す断面図である。

【図2】従来例に係わる半導体装置の製造方法を示す断面図である。

【図3】従来例に係わる半導体装置の製造方法を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 ゲート酸化膜
- 3 多結晶シリコン層
- 4 金属シリサイド
- 5 ポリサイド層
- 6 感光材料

(5)

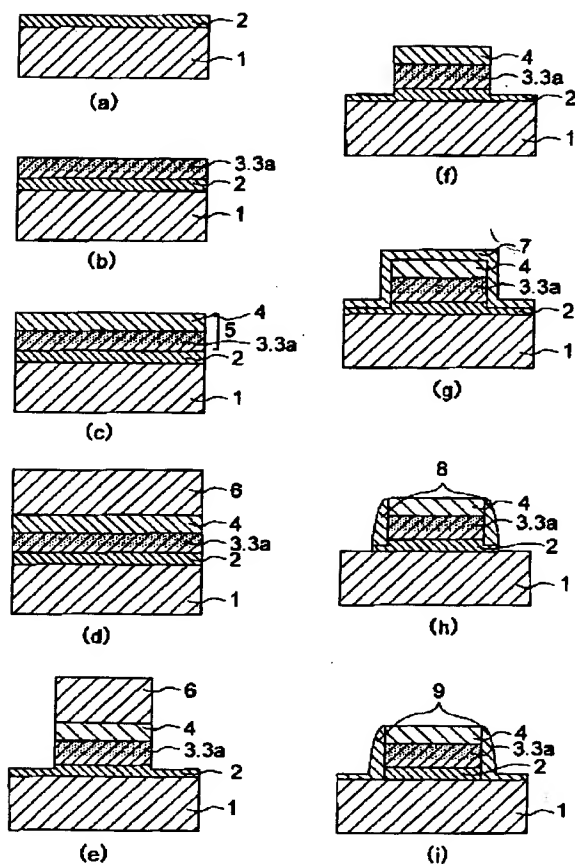
特開2000-243724

7¹ シリコンキャップ層

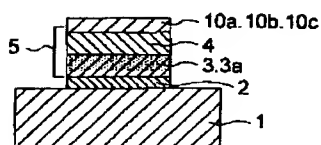
8. シリコンサイドウォール

9 サイドウォール酸化膜

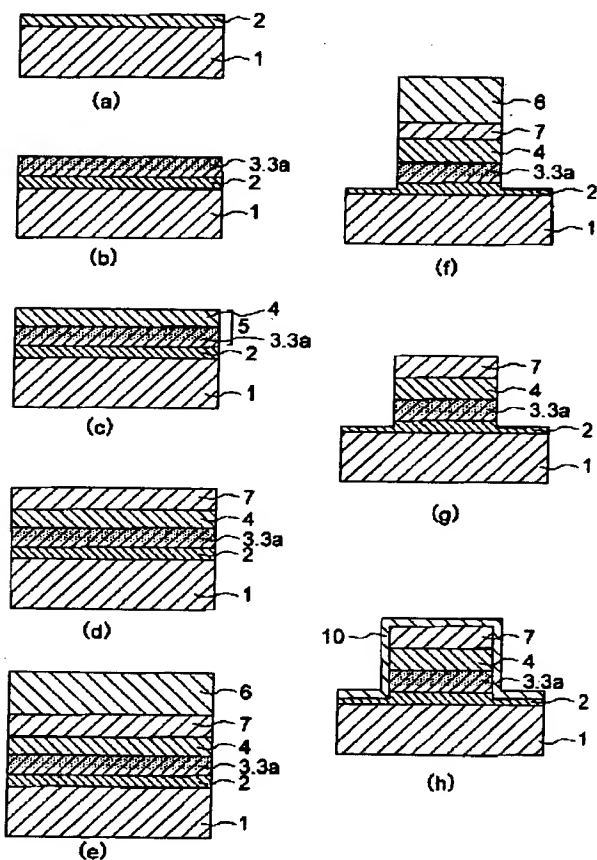
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 CC05 DD04 DD43
 DD63 EE09 EE14 FF14 GG09
 HH20
 5F033 HH04 HH28 MM07 PP09 QQ08
 QQ16 QQ68 QQ76 RR04 SS02
 SS13 SS27 TT08 VV06 XX20
 5F040 EC07 EC13 FC21